

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313527

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H03B 5/12

(21)Application number : 2001-018538

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.01.2001

(72)Inventor : ITO NOBUYUKI

(30)Priority

Priority number : 2000049569

Priority date : 25.02.2000

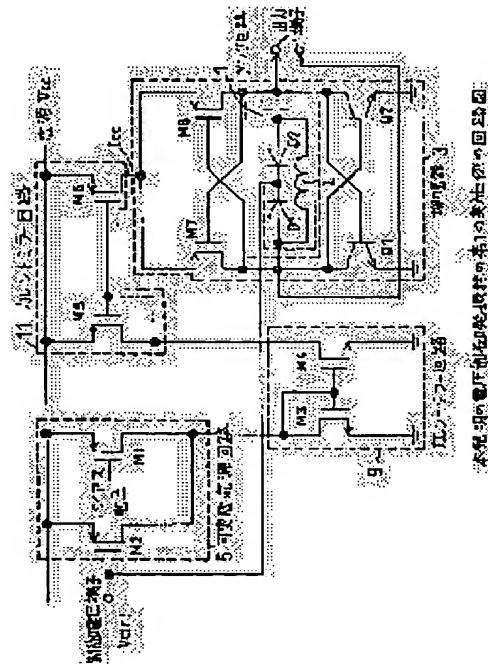
Priority country : JP

(54) VOLTAGE CONTROLLED OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage controlled oscillator that has a stable and sufficiently small phase noise characteristic independently of an oscillated frequency.

SOLUTION: A P-MOSFET M1 is always conductive by its bias voltage and a current I_{cc} corresponding to a current flowing to the P-MOSFET M1 is supplied to an amplifier 3. When the level of a control voltage V_{ctrl} is high (an oscillated frequency f_{osc} is high), only the P-MOSFET M1 is conductive but a P-MOSFET M2 is not conductive. Thus, production of a phase noise due to a current noise is suppressed. When the control voltage V_{ctrl} gets lower (the f_{osc} is lower), the FET M2 is also conductive and the current I_{cc} flowing to the amplifier 3 corresponds to the sum of currents flowing to the FET M1, M2. Thus, the output amplitude is increased and the production of the phase noise is suppressed.



LEGAL STATUS

[Date of request for examination]

28.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313527

(P2001-313527A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl.⁷

H 0 3 B 5/12

識別記号

F I

H 0 3 B 5/12

テ-マ-ト* (参考)

B 5 J 0 8 1

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2001-18538(P2001-18538)

(22) 出願日 平成13年1月26日 (2001.1.26)

(31) 優先権主張番号 特願2000-49569(P2000-49569)

(32) 優先日 平成12年2月25日 (2000.2.25)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 伊藤 信之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74) 代理人 100081732

弁理士 大胡 典夫 (外2名)

Fターム(参考) 5J081 AA02 CC30 DD03 DD10 DD24

EE02 EE03 EE18 FF10 FF17

FF18 GG02 KK01 KK09 KK22

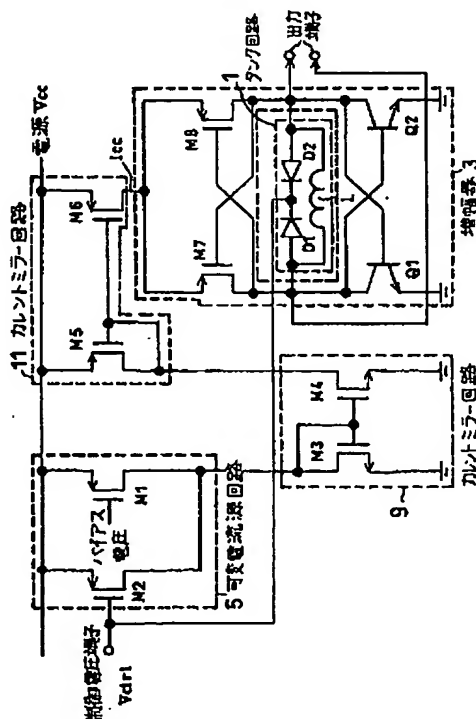
LL05 MM01 MM03

(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】 発振周波数にかかわらず安定した十分に小さい位相雑音特性を有する電圧制御発振器を提供する。

【解決手段】 P-MOSFET M1は、バイアス電圧により常にオンし、これに流れる電流に対応した電流 I_{cc} を増幅器3に供給する。制御電圧 V_{ctrl} が高い時には (発振周波数 f_{osc} は高い)、P-MOSFETのM1のみをオンしM2はオフである。これにより電流雑音に起因する位相雑音の発生が抑制される。制御電圧 V_{ctrl} が低くなると (f_{osc} は低くなる) FET M2もオンし、増幅器3に流れる電流 I_{cc} は、FET M1とM2に流れる電流の和に対応する。これより、出力振幅が増大して位相雑音の発生が抑制される。



本発明の電圧制御発振器の第1の実施例の回路図

【特許請求の範囲】

【請求項1】正帰還構成を有し、インダクタと可変容量素子とからなるタンク手段における前記可変容量素子に供給される制御電圧の値に応じた周波数の発振信号を出力する増幅手段と、

前記制御電圧により前記増幅手段に供給する動作電流を変化させる可変電流源手段とを具備し、

前記可変電流源手段は、発振周波数が低くなるに従い、前記増幅手段に供給する前記動作電流を大きくし、発振周波数が高くなるに従い、前記増幅手段に供給する前記動作電流を小さくすることを特徴とする電圧制御発振器。

【請求項2】前記可変電流源手段は、定電流源と付加電流源とからなり、前記発振周波数が高い場合には、前記定電流源からの定電流を前記増幅手段に供給し、前記発振周波数が低い場合には、前記定電流源からの定電流および前記付加電流源からの付加電流を前記増幅手段に供給することを特徴とする請求項1に記載の電圧制御発振器。

【請求項3】前記定電流源は、バイアス電圧により動作する第1の能動素子から構成され、前記付加電流源は、前記第1の能動素子に並列に接続され、前記制御電圧で動作が制御される第2の能動素子から構成され、前記可変電流源手段は、1以上のカレントミラー手段を介して、前記動作電流を前記増幅手段に供給することを特徴とする請求項2に記載の電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧制御発振器に関する。

【0002】

【従来の技術】図7に、従来の電圧制御発振器の構成を示す。従来の電圧制御発振器においては、発振周波数の制御電圧 V_{ctrl} を、同一半導体基板内に形成されたスパイラルインダクタ L と可変容量ダイオード（可変容量素子） $D1$ 、 $D2$ からなるタンク回路101の可変容量の制御にのみ用いてきた。

【0003】ここで、電圧制御発振器の発振周波数は、（数1）の式（1）によって決定される。

【数1】

$$f_{osc} = \frac{1}{2\pi\sqrt{L \cdot C}} \quad \text{--- (1)}$$

式（1）において、 L はスパイラルインダクタ L のインダクタンスを示し、 C は可変容量ダイオード $D1$ 、 $D2$ の容量値と電圧制御発振器を構成する全素子の寄生容量の総和（キャパシタンス）を示す。

【0004】電圧制御発振器においては、制御電圧 V_{ctrl} によって発振周波数を可変せしめることが必要で

ある。そこで、図7においては、制御電圧 V_{ctrl} によって可変容量ダイオード $D1$ および $D2$ の中間電位を制御し、結果として可変容量ダイオード $D1$ および $D2$ の接合容量を変化させ、所望の発振周波数を得ている。

【0005】

【発明が解決しようとする課題】電圧制御発振器の特性としては、その発振周波数、周波数可変範囲、とともに発振する周波数の純度を示すパラメータである位相雑音が非常に重要である。

【0006】発振周波数の精度は、インダクタ L と可変容量ダイオード $D1$ と $D2$ の精度によって決まる。周波数可変範囲は、可変容量ダイオード $D1$ と $D2$ の容量可変範囲および電圧制御発振器を構成する全素子寄生容量によって決まる。位相雑音は、電圧制御発振器を構成する全素子の寄生抵抗と増幅器103に流れる電流 I_{cc} によって決定される。

【0007】そして熱雑音が主成分となる領域の位相雑音は、（数2）の式（2）によって示される。

【数2】

$$L(f_{offset}) = \frac{kT \cdot R_{eff} \cdot (1+A) \cdot \left(\frac{f_{osc}}{f_{offset}}\right)^2}{V_{rms}^2} \quad \text{--- (2)}$$

式（2）において、 k はボルツマン定数、 T は絶対温度、 R_{eff} は電圧制御発振器を構成する全素子の寄生抵抗の総和値、 f_{osc} は発振周波数、 f_{offset} は位相雑音を観測するオフセット周波数であり発振周波数 f_{osc} からのオフセット周波数を示す。そして V_{rms} は、発振器の出力振幅である。

【0008】また、式（2）におけるパラメータ A は、（数3）の式（3）で示される。

【数3】

$$A = \frac{G_{m,amp}}{G_{neg}} \quad \text{--- (3)}$$

つまり、タンク回路101内で消費されるエネルギー G_{neg} と増幅器103全体で消費されるエネルギー $G_{m,amp}$ の比が、 A というパラメータを示すことになる。

【0009】また、 G_{neg} は、発振周波数 f_{osc} 、上述の容量値 C 、上述の抵抗値 R_{eff} で示すことができ、（数4）の式（4）のようになる。

【数4】

$$G_{neg} = R_{eff} \cdot (2\pi \cdot C \cdot f_{osc})^2 \quad \text{--- (4)}$$

上記式（2）から明らかなように、電圧制御発振器の位相雑音の最も大きな原因はタンク回路101内の寄生抵抗による熱雑音、つまり式（2）に於ける R_{eff} であ

るが、それが十分に抑えられたタンク回路101および増幅器103では過剰な電流雑音によってもたらされる雑音が非常に大きく影響を及ぼす。これはタンク回路101および増幅器103内で消費されるべきエネルギーに対して過剰なエネルギー（電流）を供給している事が原因となる。そして式（4）で示されるようにタンク回路101および増幅器103内で消費されるエネルギーは、タンク回路101で発生する発振周波数によって変化する。

【0010】また、式（2）からもう一つ明らかになることは、増幅器103の出力振幅も電圧制御発振器の位相雑音に大きな影響を及ぼすことである。一般に高周波増幅器の出力振幅、増幅率は、高周波増幅器を構成する全素子の寄生容量に依存する。

【0011】本従来例のような構成の電圧制御発振器においては、発振周波数を可変せしめるために可変容量ダイオードD1とD2を用いているが、発振周波数が低くなればなるほど、式（1）の容量値Cは大きくしなければならない。従って増幅器103から見ると寄生容量が非常に大きい状態で動作していることになる。

【0012】これらのことより、ある発振周波数によって設計された電圧制御発振器において、その設計された発振周波数より低い周波数で使用する場合は、出力振幅が小さくなり、位相雑音は増加せざるをえない。

【0013】また、逆にある発振周波数によって設計された電圧制御発振器においてその設計された発振周波数より高い周波数で使用する場合は、過剰な電流雑音の影響が大きくなりやはり位相雑音は増加せざるをえない。

【0014】図8に、図7の電圧制御発振器における位相雑音の発振周波数依存性の特性図を示す。およそ、1235MHz付近の発振周波数で、この電圧制御発振器の位相雑音は極小値を示す。しかしながら、それ未満の低い発振周波数およびそれを超える高い発振周波数の領域では、位相雑音は順次大きくなっていく。

【0015】これらは前記のような原因によって起こっていると考察された。つまり、位相雑音が極小値の発振周波数を超える高い発振周波数では、過剰電流により全体の位相雑音は大きくなる。一方、位相雑音が極小値の発振周波数未満の低い発振周波数では、その出力振幅の低下によって全体の位相雑音はやはり大きくなってしまいうことによる。図9に、図7の電圧制御発振器における出力振幅の発振周波数依存性の特性図を示した。この図からでも、出力振幅の低下によって全体の位相雑音はやはり大きくなってしまいうことは明らかである。

【0016】そこで本発明は、発振周波数にかかわらず安定した十分に小さい位相雑音特性を有する電圧制御発振器を提供することを目的とする。

【0017】

【課題を解決するための手段】本発明の電圧制御発振器は、正帰還構成を有し、インダクタと可変容量素子とか

らなるタンク手段における前記可変容量素子に供給される制御電圧の値に応じた周波数の発振信号を出力する増幅手段と、前記制御電圧により前記増幅手段に供給する動作電流を変化させる可変電流源手段とを具備し、前記可変電流源手段は、発振周波数が低くなるに従い、前記増幅手段に供給する前記動作電流を大きくし、発振周波数が高くなるに従い、前記増幅手段に供給する前記動作電流を小さくすることを特徴とする。

【0018】

【発明の実施の形態】図1に、本発明の電圧制御発振器の基本的構成を示す。図1において、インダクタLと可変容量素子Cでタンク回路1を構成する。増幅器3は、タンク回路1で発生した共振信号を増幅した発振信号としている。増幅器3を動作させるための電流源回路は、下記で明らかにするように可変電流源回路5となっている。制御回路7は、制御電圧Vctrlに従って、可変電流源回路5の動作を制御する。これにより可変電流源回路5は、増幅器3に供給する電流の値を変化する。

【0019】本発明では、図8に示される従来例の位相雑音の発振周波数依存性を無くすために、基本的に二つの点に着眼している。

【0020】一つは、従来技術の説明の際述べた位相雑音の極小値を示す発振周波数を、電圧制御発振器の最高発振周波数に設定する。この場合、発振周波数が低くなるに連れて出力振幅が低下することによる位相雑音の増加があるため、発振周波数の低下と共に可変電流源回路5から増幅器3に供給する電流を大きくし、出力振幅を増大させていかななければならない。

【0021】もう一つは、従来技術の説明の際述べた位相雑音の極小値を示す発振周波数を、電圧制御発振器の最低発振周波数に設定する。この場合、発振周波数が高くなるに連れて過剰電流による電流雑音の増加に起因する位相雑音の増加があるため、発振周波数が高くなると共に可変電流源回路5から増幅器3に供給する電流を小さくし、電流雑音成分を減少していかななければならない。

【0022】上記二点とも結果としては同じことであり、発振周波数が低い領域では増幅器3に供給する電流を増大させ、逆に発振周波数が高い領域では増幅器3に供給する電流を減少させる。

【0023】図2に、本発明の電圧制御発振器の第1の実施例の回路図を示す。図2において、タンク回路1は、インダクタLと可変容量ダイオードD1およびD2からなる。可変容量ダイオードD1のアノードは、インダクタLの一端に接続され、そのカソードは、可変容量ダイオードD2のカソードに接続されている。可変容量ダイオードD2のアノードは、インダクタLの他端に接続されている。可変容量ダイオードD1およびD2の共通接続カソードに制御電圧Vctrlが供給される。

【0024】増幅器3は、NPN型トランジスタQ1と

Q2の正帰還増幅器とP-MOSFETM7とM8の正帰還増幅器からなる。

【0025】トランジスタQ1のエミッタは接地されており、そのベースはトランジスタQ2のコレクタとインダクタLの他端に接続されており、そのコレクタはトランジスタQ2のベースとインダクタLの一端に接続されている。トランジスタQ2のエミッタは接地されており、そのベースはトランジスタQ1のコレクタとインダクタLの一端に接続されており、そのコレクタはインダクタLの他端に接続されている。

【0026】FETM7のドレインはFETM8のゲートとインダクタLの一端に接続され、そのゲートはFETM8のドレインとインダクタLの他端に接続されており、そのソースはP-MOSFETM6のドレインに接続されている。FETM8のドレインはインダクタLの他端に接続されており、そのゲートはインダクタLの一端に接続されており、そのソースはFETM6のドレインに接続されている。

【0027】P-MOSFETM5とM6でカレントミラー回路11を構成している。FETM5のドレインはそのゲートとFETM6のゲートに接続されており、そのソースは電源Vccに接続されている。FETM6のソースは電源Vccに接続されている。

【0028】N-MOSFETM3とM4でカレントミラー回路9を構成している。FETM3のソースは接地されており、そのドレインはそのゲートとFETM4のゲートに接続されている。FETM4のソースは接地されており、そのドレインはFETM5のドレインに接続されている。

【0029】P-MOSFETM1とM2で可変電流源回路5を構成している。FETM1のドレインはFETM2のドレインとFETM3のドレインに接続されており、そのソースは電源Vccに接続されており、そのゲートにはバイアス電圧が印加されている。これによりFETM1は、常にオン状態にあり、定電流源となる。

【0030】FETM2のドレインはFETM3のドレインに接続されており、そのソースは電源Vccに接続されており、そのゲートには抵抗（図示せず）を介して発振周波数を制御する制御電圧Vctrlが供給されている。制御電圧Vctrlが高いときには、FETM2のゲート・ソース間電圧は該FETM2の閾値電圧の絶対値未満のため、該FETM2はオフであり電流が流れない。一方制御電圧Vctrlが低下するとFETM2のゲート・ソース間電圧は増大し、該FETM2はオンし電流が流れる。

【0031】次に図2の電圧制御発振器の動作を説明する。制御電圧Vctrlを低くすることにより可変容量素子である可変容量ダイオードD1とD2の接合間電圧が低くなり接合容量は増大する。この特性は従来の接合

ダイオードと同じ特性である。そのために、上記式

(1)におけるCの項が大きくなり発振周波数は低下する。

【0032】一方、制御電圧Vctrlを高くすることにより、同様に式(1)に於けるCの項が小さくなり発振周波数は高くなる。このような原理によって電圧制御発振器は動作している。

【0033】本実施例では第一段階として、制御電圧Vctrlが最大の時に(Cは最小、foscは最高)、位相雑音が最小となるように、FETM1のみをオンさせ、増幅器3に流れる電流Iccを制御した。

【0034】しかしながらこのままでは上述したように、制御電圧Vctrlが低くなるにつれて(Cは大きく、foscは低くなる)、電圧制御発振器の出力振幅が小さくなり位相雑音は増加していくことが観測された。

【0035】そこで、制御電圧Vctrlによって増幅器3に流す電流Iccを制御する回路が必要となってくる。本実施例に於いては、可変電流源回路5において付加電流を与えるFETM2をFETM1に並列に付加し、そのゲート電圧を制御電圧Vctrlで制御することにより、制御電圧Vctrlが低くなったときに(Cは大きく、foscは低くなる)、多くの電流を流し、出力振幅を略一定とすることができた。

【0036】つまり制御電圧Vctrlが高い時には(Cは小さく、foscは高い)、FETM2のゲート・ソース間電圧は、該FETM2の閾値電圧の絶対値よりも低い値となるため、該FETM2はオフである。このためFETM2には電流が流れず、増幅器3に供給される電流Iccは、FETM1を流れる電流によって決定される。これにより電流雑音に起因する位相雑音の発生が抑制される。

【0037】そして制御電圧Vctrlを順次低下させていった時には(Cは大きくなる)、発振周波数は低くなり、それと共に付加電流源であるFETM2のゲート・ソース間電圧は増大してオンする。これにより、増幅器3に供給される電流Iccは増大することになる。つまり、増幅器3に供給される電流は、次の式(5)で示される。

【0038】

$$I_{cc} = I(M1) + I(M2) \cdots (5)$$

これにより、出力振幅が増大して位相雑音の発生が抑制される。

【0039】本実施例において、FETM2が動作していないとき、つまり制御電圧Vctrlが最大の時に(Cは最小、foscは最高)、増幅器3に流れる最小電流は約1.2mAであった。

【0040】図3に、電圧制御発振器の増幅器3に流れる電流Iccの制御電圧依存性を示した。最も低い制御電圧Vctrl(Cは最大)、つまり最も低い周波数を

発振する状態においては、約2mAの電流 I_{cc} が増幅器3に流れており、最も高い制御電圧 V_{ctrl} （Cは最小）、つまり最も高い周波数を発振する状態では約1.2mAの電流が流れていることが観測された。その結果として、全ての発振周波数 f_{osc} において、大きな変化が無い安定した出力振幅を得ることができた。

【0041】図4に、出力振幅の制御電圧依存性を示した。本実験の結果では、出力振幅の最大・最小の差は100mV程度に抑えることが可能であった。

【0042】これらの結果により、上記式（2）における分母の項、つまり出力振幅の発振周波数依存性を最小限に抑えることができる。

【0043】結果として、本実施例の電圧制御発振器においては、図5に示したように非常に安定な位相雑音特性を得ることができた。

【0044】本実施例に於いては、位相雑音の周波数依存性は非常に小さく、全ての発振周波数領域においてプラスマイナス2dB以内に抑えることが出来た。

【0045】なお次に述べる置換がそれぞれ可能である。

【0046】NPN型トランジスタQ1とQ2の代わりに、N-MOSFETをそれぞれ採用する。P-MOSFETM7とM8の代わりに、PNP型トランジスタをそれぞれ採用する。P-MOSFETM5とM6の代わりに、PNP型トランジスタをそれぞれ採用する。N-MOSFETM3とM4の代わりに、NPN型トランジスタをそれぞれ採用する。P-MOSFETM1の代わりに、PNP型トランジスタを採用する。P-MOSFETM2の代わりに、PNP型トランジスタを採用する。

【0047】更に増幅器3は、1つの正帰還増幅器だけでよく、他の正帰還増幅器は、一端がカレントミラー回路11の出力端子または接地電位に接続され、他端は2つの出力端子に夫々接続された2つの受動部品（例えばインダクタ）に置き換えることができる。

【0048】上述の電圧制御発振器は、1つの半導体基板内に形成され得るが、タンク回路1のみを半導体基板外に外付けとすることもできる。

【0049】図6に、本発明の電圧制御発振器の第2の実施例の回路図を示す。この実施例は、制御電圧 V_{ctrl} が高くなると発振周波数が低くなる電圧制御発振器の例である。次に図2の第1の実施例との構成の違いだけを説明する。

【0050】可変容量ダイオードD1のカソードは、インダクタLの一端に接続され、そのアノードは可変容量ダイオードD2のアノードに接続されている。可変容量ダイオードD2のカソードは、インダクタLの他端に接続されている。可変容量ダイオードD1およびD2の共通接続アノードに制御電圧 V_{ctrl} が供給される。

【0051】図2のカレントミラー回路9は、省略され

ている。

【0052】可変電流源回路5aは、N-MOSFETM1aとM2aから構成されている。FETM1aのドレインはFETM5のドレインとFETM2aのドレインに接続されており、そのソースは接地されており、そのゲートにはバイアス電圧が印加されている。これによりFETM1aは、常にオン状態にあり、定電流源となる。

【0053】FETM2aのドレインはFETM5のドレインに接続されており、そのソースは接地されており、そのゲートには抵抗（図示せず）を介して発振周波数を制御する制御電圧 V_{ctrl} が供給されている。制御電圧 V_{ctrl} が低いときには、FETM2aのゲート・ソース間電圧は該FETM2aの閾値電圧の絶対値未満のため、該FETM2aはオフであり電流が流れない。一方制御電圧 V_{ctrl} が高くなるとFETM2aのゲート・ソース間電圧は増大し、該FETM2aはオンし電流が流れる。

【0054】次に図6の電圧制御発振器の動作を説明する。制御電圧 V_{ctrl} を低くすることにより可変容量素子である可変容量ダイオードD1とD2の接合間電圧が低くなり接合容量は減少する。そのために、上記式

（1）におけるCの項が小さくなり発振周波数は高くなる。

【0055】一方、制御電圧を高くすることにより、同様に式（1）に於けるCの項が大きくなり発振周波数は低くなる。このような原理によって電圧制御発振器は動作している。

【0056】本実施例では第一段階として、制御電圧 V_{ctrl} が最小の時に（Cは最小、 f_{osc} は最高）、位相雑音が最小となるように、FETM1aのみをオンさせ、増幅器3に流れる電流 I_{cc} を制御した。

【0057】しかしながらこのままでは上述したように、制御電圧 V_{ctrl} が高くなるにつれて（Cは大きく、 f_{osc} は低くなる）、電圧制御発振器の出力振幅が小さくなり位相雑音は増加していくことが観測された。

【0058】そこで、制御電圧 V_{ctrl} によって増幅器3に流す電流 I_{cc} を制御する回路が必要となってくる。本実施例に於いては、可変電流源回路5aにおいて付加電流を与えるFETM2aをFETM1aに並列に付加し、そのゲート電圧を制御電圧 V_{ctrl} で制御することにより、制御電圧 V_{ctrl} が高くなったときに（Cは大きく、 f_{osc} は低くなる）、多くの電流を流し、出力振幅を略一定とすることができた。

【0059】つまり制御電圧 V_{ctrl} が低い時には（Cは小さく、 f_{osc} は高い）、FETM2aのゲート・ソース間電圧は、該FETM2aの閾値電圧の絶対値よりも低い値となるため、該FETM2aはオフである。このためFETM2aには電流が流れず、増幅器3

に供給される電流 I_{cc} は、FETM1a を流れる電流によって決定される。これにより電流雑音に起因する位相雑音の発生が抑制される。

【0060】そして制御電圧 V_{ctrl} を順次高くしていった時には (C は大きくなる)、発振周波数は低くなり、それと共に付加電流源である FETM2a のゲート・ソース間電圧は増大してオンする。これにより、増幅器3に供給される電流 I_{cc} は増大することになる。つまり、増幅器3に供給される電流は、次の式 (6) で示される。

【0061】

$$I_{cc} = I(M1a) + I(M2a) \cdots (6)$$

これにより、出力振幅が増大して位相雑音の発生が抑制される。

【0062】なお次に述べる置換がそれぞれ可能である。

【0063】NPN型トランジスタQ1とQ2の代わりに、N-MOSFETをそれぞれ採用する。P-MOSFETM7とM8の代わりに、PNP型トランジスタをそれぞれ採用する。P-MOSFETM5とM6の代わりに、PNP型トランジスタをそれぞれ採用する。N-MOSFETM1aの代わりに、NPN型トランジスタを採用する。N-MOSFETM2aの代わりに、NPN型トランジスタを採用する。

【0064】更に増幅器3は、1つの正帰還増幅器だけでもよく、第1の実施例と同様に、他の正帰還増幅器は受動部品に置き換えることができる。

【0065】上述の電圧制御発振器は、1つの半導体基板内に形成され得るが、タンク回路1のみを外付けとすることもできる。

【0066】図10は、本発明の電圧制御発信器の第3の実施例の回路図で、第3の実施例は第1の実施例の変形例である。第1の実施例と同一部分には同一番号を付して重複する説明を省略する。

【0067】第3の実施例では、可変電流源回路5a内の制御電圧 V_{ctrl} 入力部が第1の実施例と異なっている。第3の実施例の入力部には差動増幅器IC1が使用されており、その正入力端子には基準電圧 V_{ref} が入力され、負入力端子には制御電圧 V_{ctrl} が入力される。

【0068】差動増幅器IC1の出力端子はFET9およびFET10で構成されるカレントミラー9aの入力端子に接続され、カレントミラー回路9aの出力電流は、カレントミラー回路9の出力電流端子において、FETM1からの定電流をカレントミラー回路9でミラーした出力電流に加算されるようになっている。

【0069】その他の回路は、図2と基本的に同じであるが、第1の実施例のP-MOSFETM7、M8に代えてPNPバイポーラトランジスタQ1a、Q2aを使用し、NPNトランジスタQ1、Q2に代えてN-MO

SFETM7a、M8aを使用している点が異なる。このような構成でも第1の実施例の増幅器と同等な性能が得られる。

【0070】第1の実施例においては、制御電圧の入力部においてFETM2の閾値電圧の製造時のばらつきの影響を受ける可能性があるが、第3の実施例においては差動増幅器を使用しているため、ばらつきの影響を避けることができる。

【0071】なお次に述べる置換が、それぞれ可能である。PNP型トランジスタQ1aとQ2aの代わりに、P-MOSFETをそれぞれ採用する。N-MOSFETM7aとM8aの代わりに、NPN型トランジスタをそれぞれ採用する。P-MOSFETM5とM6の代わりに、PNP型トランジスタをそれぞれ採用する。N-MOSFETM3とM4の代わりに、NPN型トランジスタをそれぞれ採用する。P-MOSFETM1の代わりにPNP型トランジスタを採用する。P-MOSFETM2の代わりに、PNP型トランジスタを採用する。

【0072】更に増幅器3は、1つの正帰還増幅器だけでもよく、第1の実施例と同様に、他の正帰還増幅器は受動部品に置き換えることができる。

【0073】上述の電圧制御発振器は、1つの半導体基板内に形成され得るが、タンク回路1のみを外付けとすることもできる。

【0074】

【発明の効果】以上本発明の電圧制御発振器によれば、発振周波数にかかわらず安定した十分に小さい位相雑音特性を有する。

【図面の簡単な説明】

【図1】本発明の電圧制御発振器の基本構成を示す図である。

【図2】本発明の電圧制御発振器の第1の実施例の回路図である。

【図3】図2の電圧制御発振器の増幅器に流れる電流 I_{cc} の制御電圧依存性を示す特性図である。

【図4】図2の電圧制御発振器における出力振幅の制御電圧依存性を示す特性図である。

【図5】図2の電圧制御発振器における位相雑音の発振周波数依存性の特性図である。

【図6】本発明の電圧制御発振器の第2の実施例を示す回路図である。

【図7】従来の電圧制御発振器の構成を示す回路図である。

【図8】図7の電圧制御発振器における位相雑音の発振周波数依存性の特性図である。

【図9】図7の電圧制御発振器における出力振幅の発振周波数依存性の特性図である。

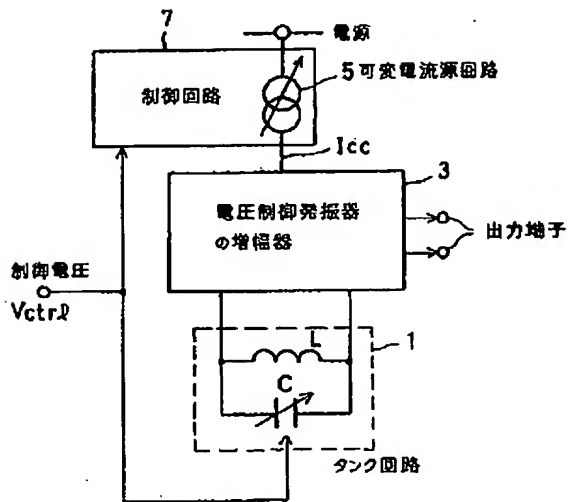
【図10】本発明の電圧制御発振器の第3の実施例の回路図である。

【符号の説明】

1・・・タンク回路、3・・・増幅器、5、5a・・・可変電
流源回路、7・・・制御回路、9・・・カレントミラー回

路、11・・・カレントミラー回路。

【図1】



【図3】

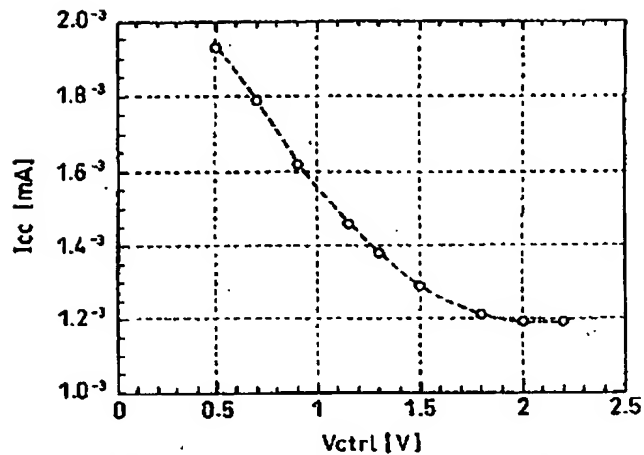
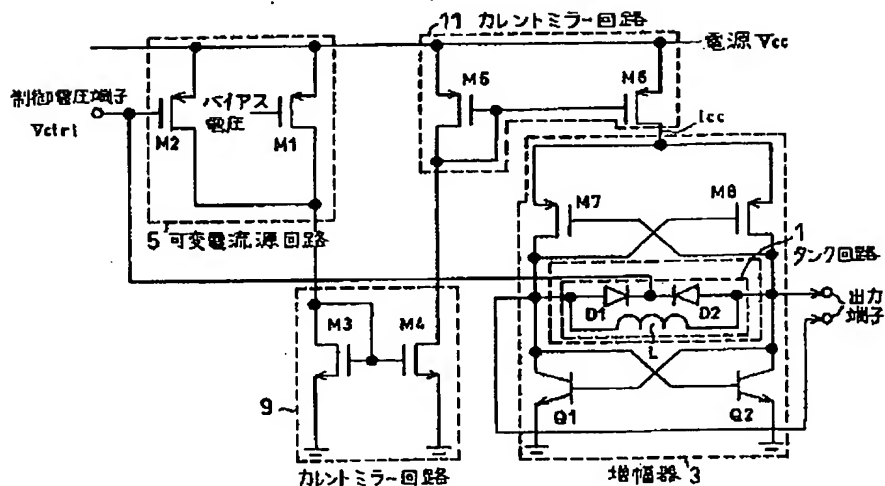


図2の電圧制御発振器の増幅器3に流れる電流Iccの
制御電圧依存性

【図2】



【図4】

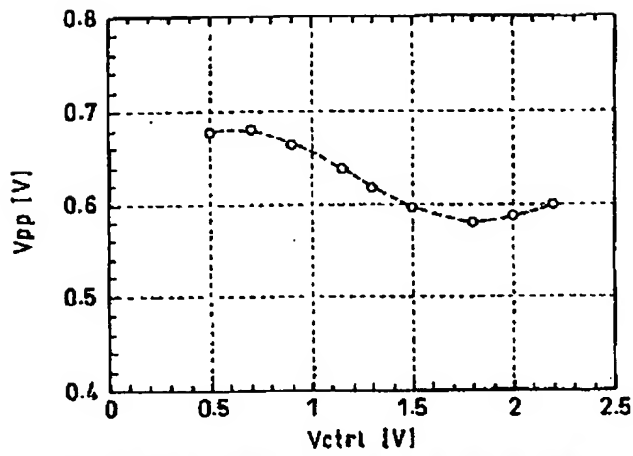


図2の電圧制御発振器における出力振幅の制御電圧依存性

【図5】

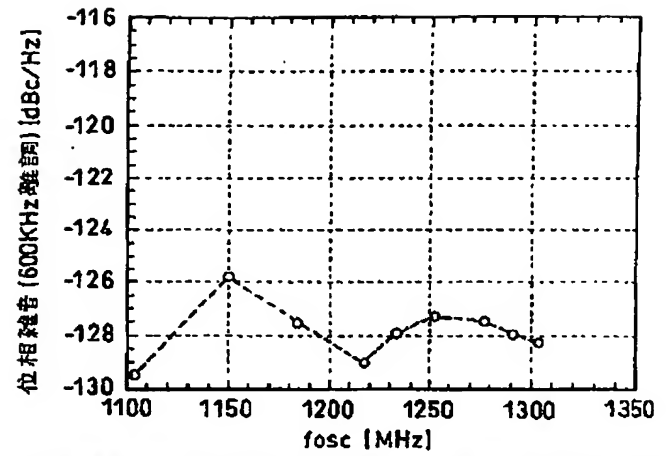
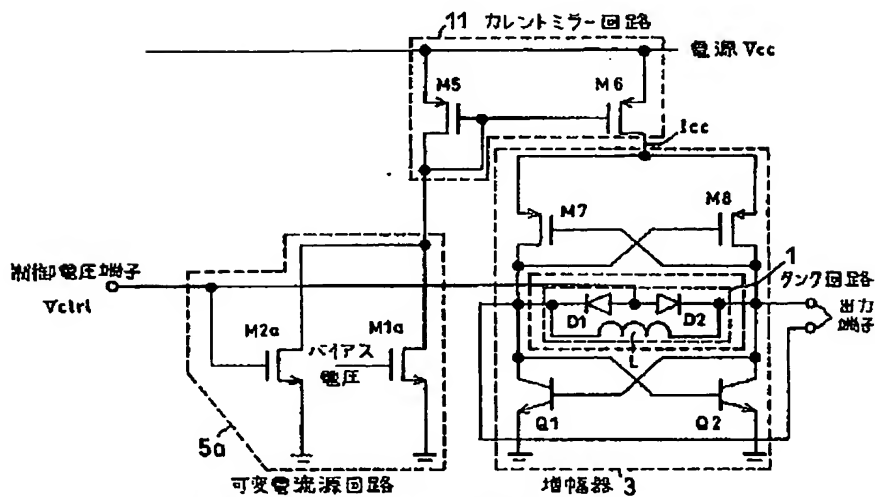


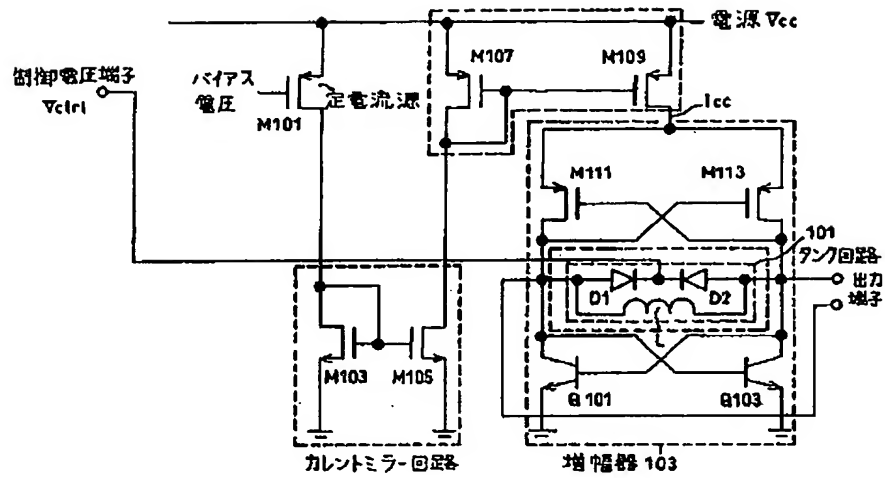
図2の電圧制御発振器における3位相雑音の発振周波数依存性

【図6】



本発明の電圧制御発振器の第2の実施例の回路図

【図7】



従来の電圧制御発振器の回路図

【図8】

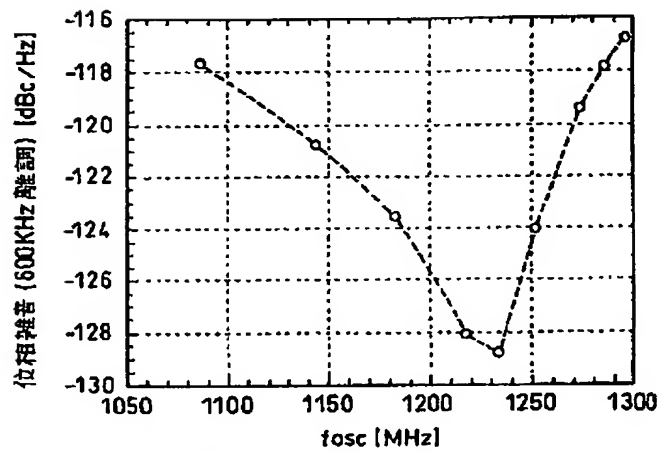


図7の電圧制御発振器における位相雑音の発振周波数依存性

【図9】

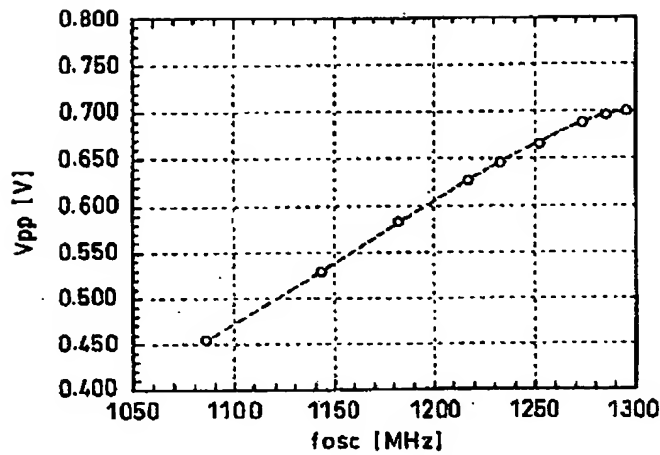
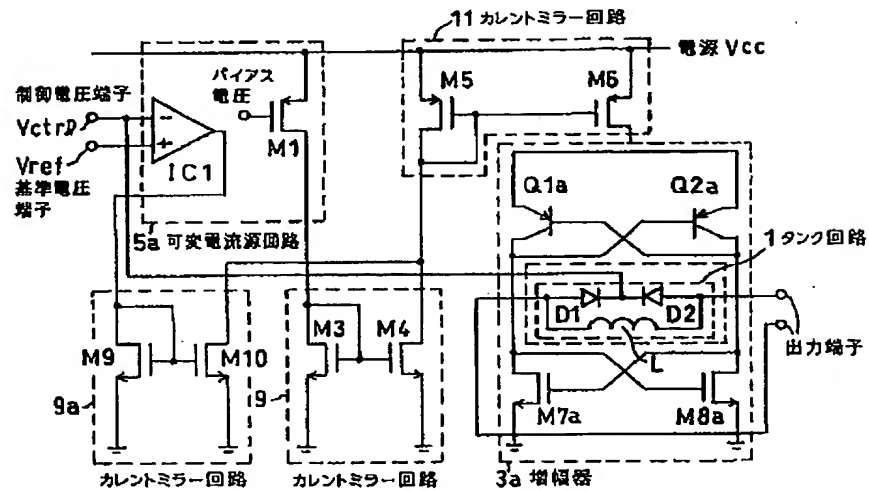


図7の電圧制御発振器における出力振幅の発振周波数依存性

【図10】



本発明の電圧制御発振器の第3の実施例の回路図